

- 1) [18/40] Il seguente programma C viene fatto girare (senza alcuna ottimizzazione) su un processore con una cache che ha blocchi da 64 Byte ed e' grande 512 Byte di dati:

```
int i, j, c, stride, array[1024];
...
for (i = 0; i < 5000; i++)
  for (j = 0; j < 1024; j = j + stride)
    c = array[j]+17;
```

Se consideriamo solo l'attivita' della cache generata dai riferimenti al vettore 'array' e assumiamo che gli interi siano 4 Byte, quale sara' il miss rate avendo una cache ad accesso diretto e supponendo che 'stride' valga 256?

Cosa accade se 'stride' vale 255? Se la cache fosse invece associativa a due vie, i due valori precedentemente trovati per il miss rate verrebbero influenzati?

- 2) [22/40] Nella seguente figura e' rappresentata una pipeline di un processore. Supponendo che su di essa si esegua il seguente codice:

```
lw $5, 100($2)
sub $6, $3, $2
and $7, $2, $1
add $8, $4, $3
or $9, $2, $1
```

Al ciclo 1, subito prima che si inizi ad eseguire queste istruzioni, lo stato del processore e': a) il PC vale 100 che e' l'indirizzo dell'istruzione lw ; b) ogni registro ha il valore iniziale di 20 piu' il numero del corrispondente registro (es. il registro \$8 contiene 28); c) ogni parola in memoria contiene il valore iniziale 2000 piu' il valore dell'indirizzo di tale parola (es. la locazione Memory[8] ha il valore iniziale 2008). Determinare il valore sui fili in uscita da ogni stadio al ciclo 5.

